



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 59063095 A

(43) Date of publication of application: 10.04.84

(51) Int. Cl. G11C 11/56
G11C 17/00

(21) Application number: 57172151

(22) Date of filing: 30.09.82

(71) Applicant: FUJITSU LTD

(72) Inventor: SUZUKI YASUO
NAGASAWA MASANORI
HIRAO HIROSHI

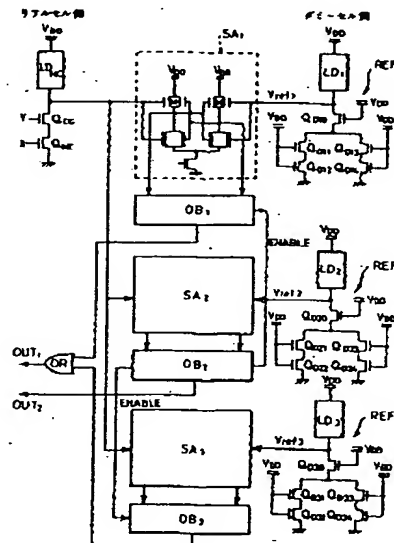
(54) SEMICONDUCTOR STORAGE DEVICE

COPYRIGHT: (C)1984,JPO&Japio

(57) Abstract:

PURPOSE: To attain a very high-precision comparison reference voltage having no variance of production, by using transistors TRs having the same constitution as memory cell TRs to generate a comparison reference voltage of a sense circuit.

CONSTITUTION: The output of a selected memory cell is applied to sense amplifiers SA₁, SA₂, and SA₃ simultaneously through a column gate TR QCG. They have the same constitution and have the same circuit constitution as an ordinary sense amplifier which generates "H"-level (logical "1") or "L"-level (logical "0") output in accordance with the result of the comparison between the cell output voltage given from the real cell side and the comparison reference voltage given from the dummy cell side. Since TRs having the same channel width and channel length as memory cell TRs are connected in series and parallel to constitute a dummy cell in the sense amplifier, the high-precision comparison reference voltage having no variance of production is generated.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—63095

⑤ Int. Cl.³
G 11 C 11/56
17/00

識別記号
1 0 1

庁内整理番号
8219—5B
6549—5B

⑬ 公開 昭和59年(1984)4月10日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体記憶装置

川崎市中原区上小田中1015番地
富士通株式会社内

⑮ 特 願 昭57—172151

⑯ 発 明 者 平尾浩

⑰ 出 願 昭57(1982)9月30日

川崎市中原区上小田中1015番地
富士通株式会社内

⑱ 発 明 者 鈴木保雄

⑲ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地
富士通株式会社内

川崎市中原区上小田中1015番地

⑳ 発 明 者 長沢正憲

㉑ 代 理 人 弁理士 青木朗 外 3 名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. 3以上の互いに異なるN個の電圧値のうちの1つの電圧値を出力するメモリセルと、互いに隣り合う前記各電圧値の中間電圧値をそれぞれ発生するN-1個の基準電圧発生回路と、該各基準電圧発生回路の出力電圧と選択されたメモリセルの出力電圧とを比較増幅するN-1個のセンスアンプとを備え、前記各基準電圧発生回路が、N個の前記電圧値のうち互いに隣り合う2つの電圧値をそれぞれ出力するメモリセルのトランジスタと同一構成のトランジスタをそれぞれ2個直列に接続した回路を並列に接続して成るダミーセルを含んで構成されていることを特徴とする半導体記憶装置。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明はN(ただしN≧3)値レベル方式のメモ

リセルによって構成される半導体記憶装置、特に不揮発性半導体記憶装置に関する。

(2) 技術の背景

一般にメモリセルは2値レベルを出力するように構成されており、これにより1セルで1ビットの情報を記憶する。しかしながら、記憶装置の集積度を上げるため1セルで2ビット以上の情報を記憶させたい要望があり、3値以上の多値レベルを択一的に出力するようにしたメモリセルが登場している。例えば、エレクトロニクス(Electronics) February 24, 1981, P100~P103, Electronics June 30, 1982, P81~P82 及び IEEE Journal Of Solid State Circuits, Vol SC-16, No. 5, October 1981 には、4値レベル式のメモリセルにより集積度を向上させた10Mが開示されている。4値レベルであれば、1セルに2ビットの情報が記憶されることはいうまでもない。

(3) 従来技術と問題点

このような多値(N値)レベル式メモリセルを用いた記憶装置では、メモリセルから出力される

電圧がN値レベルのうちのどのレベルにあるかを検出するため、即ちセル内の情報検出のため、N-1個の比較基準レベルを作成する必要があるがN個の各レベル間にこれらの比較基準レベルを正確に設定することはメモリ製造上のバラツキからいって非常に難しい。特に、レベル数Nが大きくなるとこの問題はより深刻となる。

(4) 発明の目的

従って本発明は上述の問題点を解決するものであり、本発明の目的は、多値レベル式メモリセルの情報検出を行う際に用いられる複数の比較基準電圧を発生する回路について、バラツキを起すことなくかつ容易に製造でき、これにより、精度の高い比較基準電圧を供給できるようにした半導体記憶装置を提供することにある。

(5) 発明の構成

上述の目的を達成する本発明の特徴は、3以上の互いに異なるN個の電圧値のうちの1つの電圧値を出力するメモリセルと、互いに隣り合う前記各電圧値の中間電圧値をそれぞれ発生するN-1

個の基準電圧発生回路と、該各基準電圧発生回路の出力電圧と選択されたメモリセルの出力電圧とを比較増幅するN-1個のセシスアンプとを備え、前記各基準電圧発生回路が、N個の前記電圧値のうち互いに隣り合う2つの電圧値をそれぞれ出力するメモリセルのトランジスタと同一構成のトランジスタをそれぞれ2個直並列に接続して成ることにある。

(6) 発明の実施例

以下図面を用いて本発明を詳細に説明する。

図は本発明の一実施例の一部を表わしている。この例は、4値レベル方式のマスクROMに関するものであり、図には選択された1つのメモリセル、ダミーセル及びセンス回路のみが示されている。

同図において、 Q_{mc} はメモリセルを構成するMOSトランジスタであり、4値レベルのうちのいずれか1レベルの情報が格納されている。セルトランジスタ Q_{mc} のレベル設定は、MOSトランジスタのチャネル幅あるいはチャネル長等を変えてコンダクタンス g_m を変えることによって行われる。

本実施例においてメモリセルは、チャネル幅が W_0, W_1, W_2, W_3 の4種のうちのいずれか1つの構成のトランジスタから成っている。

図において、さらに、 Q_{co} はコラムゲートを構成するMOSトランジスタ、 LD_{mc} はロード回路であり、 SA_1, SA_2, SA_3 はセンスアンプ、 OB_1, OB_2, OB_3 は各センスアンプの出力を受け取る出力バッファ、 OR はオアゲート、 REF_1, REF_2, REF_3 は基準電圧発生回路をそれぞれ示している。

選択されたメモリセルの出力は、コラムゲートトランジスタ Q_{co} を介して各センスアンプ SA_1, SA_2, SA_3 に同時に印加される。これらのセンスアンプ SA_1, SA_2, SA_3 は互いに全く同じ構成であり、例えば、センスアンプ SA_1 の部分に示す如く、リアルセル側から与えられるセル出力電圧とダミーセル側から与えられる比較基準電圧との大小により“H”レベル(論理“1”)、“L”レベル(論理“0”)の出力を発生する通常のセンスアンプと全く同じ回路構成となっている。

基準電圧発生回路 REF_1 は、センスアンプ SA_1 に

V_{ref1} なる比較基準電圧を供給する。今、チャネル幅 W_0, W_1, W_2, W_3 それぞれのMOSトランジスタからなるメモリセル出力電圧をそれぞれ $V_{mc0}, V_{mc1}, V_{mc2}, V_{mc3}$ とすれば、 V_{ref1} は $V_{mc0} > V_{ref1} > V_{mc1}$ に設定され、望ましくは、 $V_{ref1} = \frac{V_{mc0} + V_{mc1}}{2}$ に設定される。同様に基準電圧発生回路 REF_2, REF_3 から各センスアンプ SA_2, SA_3 にそれぞれ供給される比較基準電圧 V_{ref2}, V_{ref3} は、次の如く設定される。即ち、 $V_{mc1} > V_{ref2} > V_{mc2}$ 、望ましくは $V_{ref2} = \frac{V_{mc1} + V_{mc2}}{2}$ 、 $V_{mc2} > V_{ref3} > V_{mc3}$ 、望ましくは $V_{ref3} = \frac{V_{mc2} + V_{mc3}}{2}$ に設定される。

上述の如き比較基準電圧 $V_{ref1}, V_{ref2}, V_{ref3}$ を形成するため、各基準電圧発生回路には、次の如き工夫が成されている。まず基準電圧発生回路 REF_1 で説明すると、ダミーセルを構成するMOSトランジスタ $Q_{d11}, Q_{d12}, Q_{d13}, Q_{d14}$ のうち、 Q_{d1} 及び Q_{d12} は、チャネル幅 W_0 のメモリセルトラ

ンジスタと全く同じ構成となっており、 Q_{D13} 及び Q_{D14} は、チャネル幅 W_1 のメモリセルトランジスタと全く同じ構成となっている。即ち、 Q_{D11} 及び Q_{D12} のチャネル幅 $W(Q_{D11})$, $W(Q_{D12})$ は $W(Q_{D11}) = W(Q_{D12}) = W_0$ 、同様に $W(Q_{D13}) = W(Q_{D14}) = W_1$ となっている。従って、 g_m もそれぞれ対応するメモリセルトランジスタと同じである。そして、このようなダミーセルトランジスタ Q_{D11} 及び Q_{D12} を直列接続し、一方、 Q_{D13} 及び Q_{D14} を直列接続し、直列接続した2本の腕を互いに並列接続することによりダミーセルを構成している。もちろん、トランジスタ Q_{D10} はコラムゲートトランジスタ Q_{C0} と全く同じ構成であり、ロード回路 LD_1 もロード回路 LD_{Mc} と全く同じものである。

他の基準電圧発生回路 REF_2 , REF_3 においてもダミーセルを構成するダミーセルトランジスタが同様の構成となっている。即ち、チャネル幅が、 $W(Q_{D21}) = W(Q_{D22}) = W_1$, $W(Q_{D23}) = W(Q_{D24}) = W_2$, $W(Q_{D31}) = W(Q_{D32}) = W_2$, $W(Q_{D33})$

アルとする。ただし、出力バッファ OB_1 及び OB_3 はイネーブル信号が印加されないとき、その出力を“0”とする。

以上の論理を表にまとめると次の如くなる。

チャネル幅	セル出力	OB_2 出力	OB_1 出力	OB_3 出力	OUT_2	OUT_1
W_0	V_{MC0}	0	0	-	0	0
W_1	V_{MC1}	0	1	-	0	1
W_2	V_{MC2}	1	-	0	1	0
W_3	V_{MC3}	1	-	1	1	1

(7) 発明の効果

以上詳細に説明したように本発明によれば、メモリセルトランジスタと全く同じ構成のトランジスタを用いてセンス回路の比較基準電圧を形成しているため、製造バラツキに強い精度の非常に高い比較基準電圧を得ることができ、しかもその製造が容易である。従って、レベル数をより高くした場合にも正確なセンス動作が期待でき、メモリの集積化をよりいっそう高めることが可能となる。

$= W(Q_{D34}) = W_3$ となっている。また、トランジスタ Q_{D20} 及び Q_{D30} はコラムゲートトランジスタ Q_{C0} と、ロード回路 LD_2 及び LD_3 はロード回路 LD_{Mc} と全く同じ構成である。

上述したように、メモリセルトランジスタと全く同じ構成(同チャネル幅、同チャネル長)のトランジスタ(従って g_m が同じ)を直並列に接続してダミーセルを構成しているため、製造バラツキのない非常に精度の高い比較基準電圧を発生することができるのである。

次に、各センスアンプ SA_1 , SA_2 , SA_3 の検出出力から2ビットのバイナリ信号を作成する部分の構成及び動作を説明する。

出力バッファ OB_1 及び OB_3 の出力はオアゲートORに印加されて2ビットバイナリ信号の下位ビット出力 OUT_1 を生じ、出力バッファ OB_2 の出力はそのまま上位ビット出力 OUT_2 となる。センスアンプ SA_2 の出力が“1”の場合、出力バッファ OB_2 は出力バッファ OB_3 のみをイネーブルとし、逆に“0”の場合出力バッファ OB_1 のみをイネー

4. 図面の簡単な説明

図は本発明の一実施例の一部の回路図である。

Q_{MC} …メモリセルトランジスタ、 SA_1 , SA_2 , SA_3 …センスアンプ、 OB_1 , OB_2 , OB_3 …出力バッファ、OR…オアゲート、 REF_1 , REF_2 , REF_3 …基準電圧発生回路、 Q_{D11} , Q_{D12} , Q_{D13} , Q_{D14} , Q_{D21} , Q_{D22} , Q_{D23} , Q_{D24} , Q_{D31} , Q_{D32} , Q_{D33} , Q_{D34} …ダミーセルトランジスタ。

特許出願人

富士通株式会社

特許出願代理人

弁理士 青 木 朗
 弁理士 西 館 和 之
 弁理士 内 田 幸 男
 弁理士 山 口 一 昭 之

